

UCS M5 Blade DIMM 설치 스티커가 문서와 일치하지 않음

목차

[소개](#)

[배경 정보](#)

[문제/장애: UCS M5 Blade DIMM 설치 스티커가 문서와 일치하지 않음](#)

[솔루션](#)

[관련 정보](#)

소개

이 문서에서는 현재 온라인 설명서를 반영하지 않는 기존 UCS M5 Blade DIMM 설치 스티커 관련 문제를 설명합니다.

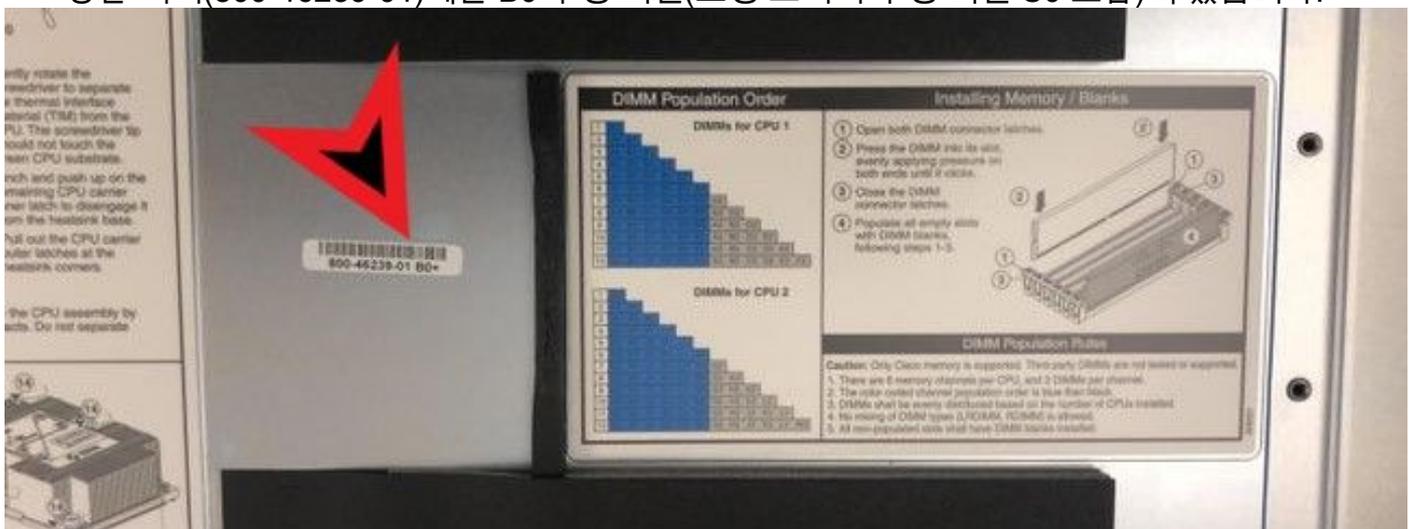
배경 정보

FCS 이후 테스트를 통해 DIMM 구성의 최적 구성은 원래 게시된 사양과 다르다는 것을 확인했습니다. 원래 모집단 규칙은 올바르게 작동하지만 문서에 게시된 최신 지침을 사용하여 최적의 성능을 얻을 수 있습니다. 블레이드 덮개 아래의 스티커는 2018년 5월에 구현된 ECO EA553015에서 변경되었으며, 기술 문서는 2017년 12월에 업데이트되었습니다. 약 15K-20K 블레이드는 원래 DIMM 설치 스티커와 함께 출하되었습니다.

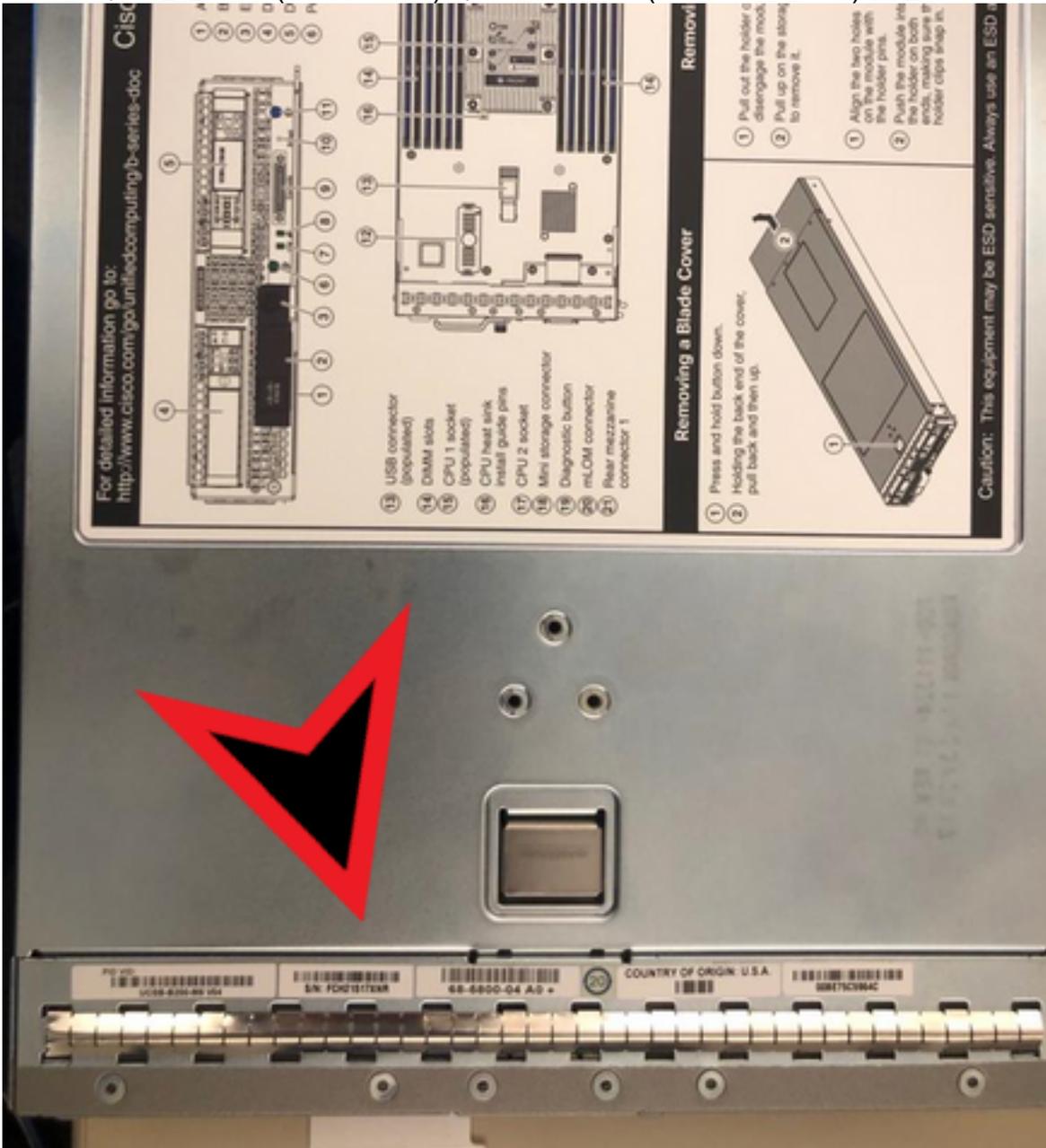
참고: M5 블레이드 서버에만 최적의 스티커가 있었습니다. 랙 서버에는 DIMM 설치 스티커가 없으므로 이 문제의 영향을 받지 않습니다.

영향을 받는 제품:

- UCS B200 M5
- UCS B480 M5
- 상단 커버(800-46239-01)에는 B0 수정 버전(고정 스티커 수정 버전 C0 포함)이 있습니다.



- 상위 조립품 번호(68-5800-04)에 수정 버전 A0(고정 버전은 B0) 있음



문제/장애: UCS M5 Blade DIMM 설치 스티커가 문서와 일치하지 않음

UCS M5 블레이드 덮개 아래의 DIMM 설치 스티커가 온라인 UCS 설명서의 정보와 일치하지 않습니다.

두 컨피그레이션이 모두 유효하며 지원됩니다. 이전 스티커는 검색 또는 기타 문제를 방지할 수 없습니다. 단, 성능 향상을 위한 최적의 컨피그레이션이 아닙니다. 성능 차등은 거의 미미한(약 1%)입니다.

솔루션

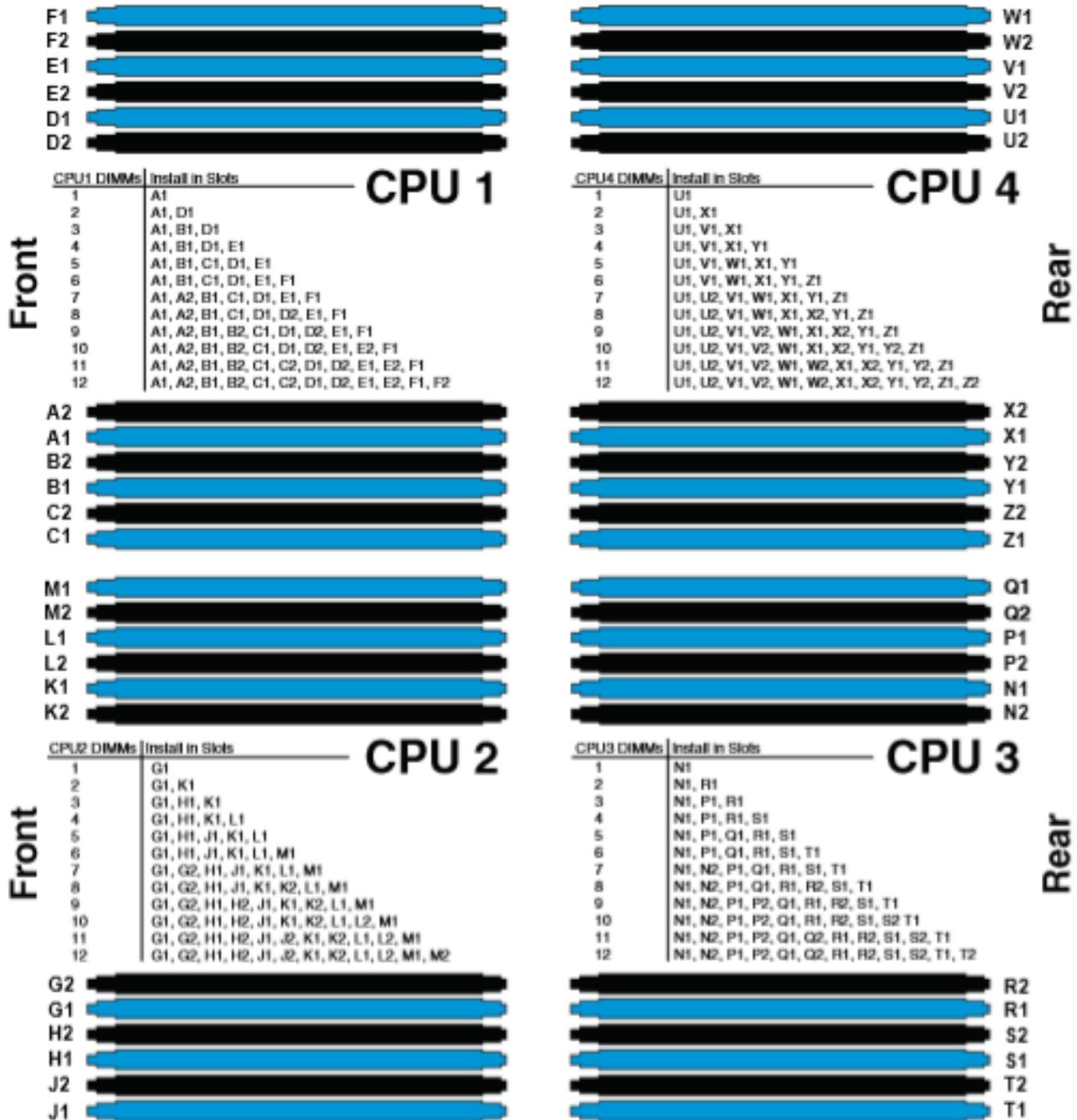
원래 DIMM 설치 스티커가 정확하지 않지만 가장 최신의 컨피그레이션을 위한 온라인 설명서로 고객을 안내해야 합니다.

참고로 B200-M5의 이전 스티커는 다음과 같습니다.

DIMM Population Order		Installing Memory / Blanks																									
<p>DIMMs for CPU 1</p> <table border="1"> <tr><td>1</td><td>A1</td></tr> <tr><td>2</td><td>A1 D1</td></tr> <tr><td>3</td><td>A1 B1 D1</td></tr> <tr><td>4</td><td>A1 B1 D1 E1</td></tr> <tr><td>5</td><td>A1 B1 C1 D1 E1 F1</td></tr> <tr><td>6</td><td>A1 B1 C1 D1 E1 F1</td></tr> <tr><td>7</td><td>A1 B1 C1 D1 E1 F1 A2</td></tr> <tr><td>8</td><td>A1 B1 C1 D1 E1 F1 A2 D2</td></tr> <tr><td>9</td><td>A1 B1 C1 D1 E1 F1 A2 B2 D2</td></tr> <tr><td>10</td><td>A1 B1 C1 D1 E1 F1 A2 B2 D2 E2</td></tr> <tr><td>11</td><td>A1 B1 C1 D1 E1 F1 A2 B2 C2 D2 E2</td></tr> <tr><td>12</td><td>A1 B1 C1 D1 E1 F1 A2 B2 C2 D2 E2 F2</td></tr> </table>		1	A1	2	A1 D1	3	A1 B1 D1	4	A1 B1 D1 E1	5	A1 B1 C1 D1 E1 F1	6	A1 B1 C1 D1 E1 F1	7	A1 B1 C1 D1 E1 F1 A2	8	A1 B1 C1 D1 E1 F1 A2 D2	9	A1 B1 C1 D1 E1 F1 A2 B2 D2	10	A1 B1 C1 D1 E1 F1 A2 B2 D2 E2	11	A1 B1 C1 D1 E1 F1 A2 B2 C2 D2 E2	12	A1 B1 C1 D1 E1 F1 A2 B2 C2 D2 E2 F2	<ol style="list-style-type: none"> 1 Open both DIMM connector latches. 2 Press the DIMM into its slot, evenly applying pressure on both ends until it clicks. 3 Close the DIMM connector latches. 4 Populate all empty slots with DIMM blanks, following steps 1-3. 	
1	A1																										
2	A1 D1																										
3	A1 B1 D1																										
4	A1 B1 D1 E1																										
5	A1 B1 C1 D1 E1 F1																										
6	A1 B1 C1 D1 E1 F1																										
7	A1 B1 C1 D1 E1 F1 A2																										
8	A1 B1 C1 D1 E1 F1 A2 D2																										
9	A1 B1 C1 D1 E1 F1 A2 B2 D2																										
10	A1 B1 C1 D1 E1 F1 A2 B2 D2 E2																										
11	A1 B1 C1 D1 E1 F1 A2 B2 C2 D2 E2																										
12	A1 B1 C1 D1 E1 F1 A2 B2 C2 D2 E2 F2																										
<p>DIMMs for CPU 2</p> <table border="1"> <tr><td>1</td><td>G1</td></tr> <tr><td>2</td><td>G1 K1</td></tr> <tr><td>3</td><td>G1 H1 K1</td></tr> <tr><td>4</td><td>G1 H1 K1 L1</td></tr> <tr><td>5</td><td>G1 H1 J1 K1 L1</td></tr> <tr><td>6</td><td>G1 H1 J1 K1 L1 M1</td></tr> <tr><td>7</td><td>G1 H1 J1 K1 L1 M1 G2</td></tr> <tr><td>8</td><td>G1 H1 J1 K1 L1 M1 G2 K2</td></tr> <tr><td>9</td><td>G1 H1 J1 K1 L1 M1 G2 H2 K2</td></tr> <tr><td>10</td><td>G1 H1 J1 K1 L1 M1 G2 H2 K2 L2</td></tr> <tr><td>11</td><td>G1 H1 J1 K1 L1 M1 G2 H2 J2 K2 L2</td></tr> <tr><td>12</td><td>G1 H1 J1 K1 L1 M1 G2 H2 J2 K2 L2 M2</td></tr> </table>		1	G1	2	G1 K1	3	G1 H1 K1	4	G1 H1 K1 L1	5	G1 H1 J1 K1 L1	6	G1 H1 J1 K1 L1 M1	7	G1 H1 J1 K1 L1 M1 G2	8	G1 H1 J1 K1 L1 M1 G2 K2	9	G1 H1 J1 K1 L1 M1 G2 H2 K2	10	G1 H1 J1 K1 L1 M1 G2 H2 K2 L2	11	G1 H1 J1 K1 L1 M1 G2 H2 J2 K2 L2	12	G1 H1 J1 K1 L1 M1 G2 H2 J2 K2 L2 M2	<p>DIMM Population Rules</p> <p>Caution: Only Cisco memory is supported. Third-party DIMMs are not tested or supported.</p> <ol style="list-style-type: none"> 1. There are 6 memory channels per CPU, and 2 DIMMs per channel. 2. The color coded channel population order is blue then black. 3. DIMMs shall be evenly distributed based on the number of CPUs installed. 4. No mixing of DIMM types (LRDIMM, RDIMM) is allowed. 5. All non-populated slots shall have DIMM blanks installed. 	
1	G1																										
2	G1 K1																										
3	G1 H1 K1																										
4	G1 H1 K1 L1																										
5	G1 H1 J1 K1 L1																										
6	G1 H1 J1 K1 L1 M1																										
7	G1 H1 J1 K1 L1 M1 G2																										
8	G1 H1 J1 K1 L1 M1 G2 K2																										
9	G1 H1 J1 K1 L1 M1 G2 H2 K2																										
10	G1 H1 J1 K1 L1 M1 G2 H2 K2 L2																										
11	G1 H1 J1 K1 L1 M1 G2 H2 J2 K2 L2																										
12	G1 H1 J1 K1 L1 M1 G2 H2 J2 K2 L2 M2																										

참고로 B480-M5의 이전 스티커는 다음과 같습니다.

Cisco UCS B480 M5 Memory Slot Locations



DIMM Population Rules

Caution: Only Cisco memory is supported. Third-party DIMMs are not tested or supported.

There are 6 memory channels per CPU, and 2 DIMMs per channel. The color coded channel population order is blue then black. DIMMs shall be evenly distributed based on the number of CPUs installed. No mixing of DIMM types (LRDIMM, RDIMM) is allowed. All non-populated slots shall have DIMM blanks installed.

관련 정보

- [Cisco UCS B200 M5 Blade Server 설치 및 서비스 참고 - 메모리 설치 지침](#)
- [Cisco UCS B480 M5 Blade Server 설치 및 서비스 참고 - 메모리 설치 지침](#)
- [기술 지원 및 문서 - Cisco Systems](#)