

# Guía de solución de problemas de errores de paridad

## Contenido

[Introducción](#)

[Background](#)

[Errores de software](#)

[Errores de hardware](#)

[Mensajes de error comunes](#)

[Procesador](#)

[RAM](#)

[ASIC](#)

[Últimos avances](#)

[Procesador](#)

[RAM](#)

[ASIC](#)

[Software](#)

[Restablecimiento de IBC de MSFC](#)

[Restablecimiento de "error de paridad de un solo bit" de la serie 6700](#)

[Recomendaciones](#)

[Errores de software \(SEU\)](#)

[Auditoría ambiental](#)

[Firmware más reciente \(Rommon\)](#)

[Tornillos](#)

[Errores graves \(mal funcionamiento\)](#)

[Auditoría de hardware \(MTBF y EOL\)](#)

[Diagnóstico de hardware](#)

[Información Relacionada](#)

## Introducción

Este documento describe los errores de paridad de software y hardware, explica los mensajes de error comunes y recomienda métodos que le ayuden a evitar o minimizar los errores de paridad. Las recientes mejoras en el diseño de hardware y software también reducen los problemas de paridad.

## Background

¿Qué es un error de paridad de procesador o memoria?

La verificación de paridad es el almacenamiento de un dígito binario adicional (bit) para representar la paridad (impar o par) de una pequeña cantidad de datos del equipo (normalmente un byte) mientras que esos datos se almacenan en memoria. El valor de paridad calculado a

partir de los datos almacenados se compara con el valor de paridad final. Si estos dos valores difieren, esto indica un error de datos y al menos un bit debe haber sido cambiado debido a la corrupción de datos.

Dentro de un sistema informático, la interferencia eléctrica o magnética por causas internas o externas puede hacer que un solo bit de memoria gire espontáneamente al estado opuesto. Este evento hace que los bits de datos originales no sean válidos y se conoce como error de paridad.

Estos errores de memoria, si no se detectan, pueden tener resultados indetectables e inconsecuentes o pueden causar una corrupción permanente de los datos almacenados o una caída de la máquina.

Hay muchas causas de errores de paridad de memoria, que se clasifican como errores de paridad de software o errores de paridad de hardware.

## Errores de software

La mayoría de los errores de paridad son causados por condiciones ambientales electrostáticas o relacionadas con la magnética.

La mayoría de los errores de un solo evento en los chips de memoria son causados por la radiación de fondo (como los neutrones de rayos cósmicos), la interferencia electromagnética (EMI) o la descarga electrostática (ESD). Estos eventos pueden cambiar aleatoriamente el estado eléctrico de una o más celdas de memoria o interferir con el circuito utilizado para leer y escribir celdas de memoria.

Conocidos como errores de paridad de software, estos eventos suelen ser transitorios o aleatorios y normalmente ocurren una vez. Los errores de software pueden ser menores o graves:

- Los errores secundarios de software que se pueden corregir sin restablecer componentes son los ajustes de eventos únicos (SEU).
- Los errores graves de software que requieren un componente o restablecimiento del sistema son bloqueos de eventos únicos (SEL).

Los errores de software no son causados por un mal funcionamiento del hardware; son transitorias y poco frecuentes, son en su mayoría SEU y están causadas por una interrupción ambiental de los datos de la memoria.

Si detecta errores de paridad de software, analice los cambios ambientales recientes que se han producido en la ubicación del sistema afectado. Las fuentes habituales de ESD y EMI que pueden causar errores de paridad de software son:

- Cables de alimentación y suministros
- Unidades de distribución de energía
- Fuentes de alimentación universales
- Sistemas de iluminación
- Generadores de energía
- Instalaciones nucleares (radiación)
- Flares solares (radiación)

## Errores de hardware

Otros errores de paridad son causados por un mal funcionamiento físico del hardware de memoria o por el circuito utilizado para leer y escribir celdas de memoria.

Los fabricantes de hardware adoptan amplias medidas para prevenir y probar los defectos de hardware. Sin embargo, los defectos siguen siendo posibles; por ejemplo, si alguna de las celdas de memoria utilizadas para almacenar bits de datos está mal formada, es posible que no pueda cargar o sea más vulnerable a las condiciones ambientales.

De manera similar, aunque la memoria en sí pueda funcionar normalmente, cualquier daño físico o eléctrico en el circuito utilizado para leer y escribir celdas de memoria también puede hacer que los bits de datos se cambien durante la transferencia, lo que da lugar a un error de paridad.

Estos eventos, conocidos como errores de paridad de hardware, suelen ser muy frecuentes y repetidos y se producen siempre que se utiliza la memoria o el circuito afectados. La frecuencia exacta depende de la magnitud del mal funcionamiento y de la frecuencia con que se utiliza el equipo dañado.

Recuerde que los errores de paridad de hardware son el resultado de un mal funcionamiento del hardware y vuelven a ocurrir cada vez que se utiliza el componente afectado.

Si detecta errores de paridad de hardware, analice los cambios físicos que se han producido en la ubicación del sistema afectado. Las fuentes comunes de mal funcionamiento del hardware que pueden conducir a errores de paridad de hardware incluyen:

- Subidas de tensión (sin conexión a tierra)
- ESD
- Sobrecalentamiento o refrigeración
- Instalación incorrecta o parcial
- Incompatibilidad de componentes
- Defecto de fabricación

## Mensajes de error comunes

El software Cisco IOS<sup>®</sup> proporciona una variedad de mensajes de error de paridad, que varían con el componente afectado y su impacto relativo en el sistema.

### Procesador

#### Error de caché detectado.

CPO\_CAUSE (reg. 13/0): 0x00000400

CPO\_ECC (reg. 26/0): 0x00000B3

CPO\_BUSERRDPA (reg. 26/1): 0x00000B3

CPO\_CACHERI (reg. 27/0): 0x2000000

Se ha detectado un error de caché real. El sistema se detendrá.

Error: Caché de instancias principal, campos: datos,

addr físico real 0x00000000,

dirección virtual es imprecisa.

**Error de paridad de datos impreciso**

**Explicación**

Esto es el resultado de un error de paridad dentro de la memoria caché de nivel 2 (memoria estática de acceso aleatorio o SRAM) utilizada por el procesador de ruta (RP) o la CPU del procesador de switch (SP) de la tarjeta de función 3 del switch

multicapa (MSFC3).

**Recomendación** Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite Autorización de devolución de mercancía (RMA) para sustituir el Supervisor Engine y marque el módulo para el análisis de fallos de equipos (EFA).

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected: SYSAD\_PARITY\_ERROR**

**Explicación** Esto es el resultado de un error de paridad en la dirección del sistema (bus de datos) utilizada por el controlador en banda (IBC) de la MSFC3.

**Recomendación** Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite RMA para reemplazar el Supervisor Engine y marque el módulo para EFA.

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected: TM\_DATA\_PARITY\_ERROR**

**Explicación** Esto es el resultado de un error de paridad en los datos del administrador de la tabla utilizados por el IBC del MSFC3.

**Recomendación** Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite RMA para reemplazar el Supervisor Engine y marque el módulo para EFA.

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected: TM\_NPP\_PARITY\_ERROR**

**Explicación** Esto es el resultado de un error de paridad en el 'puntero de página siguiente' del administrador de tabla utilizado por el IBC del MSFC3.

**Recomendación** Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite RMA para reemplazar el Supervisor Engine y marque el módulo para EFA. En las versiones de software del IOS de Cisco entre 12.1(8)E y 12.2(33)SX13, el comportamiento predeterminado en respuesta a los eventos SYSTEM\_CONTROLLER-3-ERROR fue restablecer el IBC y registrar un mensaje de error.

Sin embargo, esta acción correctiva dio lugar a que algunos casos documentados del IBC (y por lo tanto, de la CPU) ya no pudieran transmitir ni recibir datos. Por lo tanto, el comportamiento se cambió en las versiones del software Cisco IOS posteriores a 12.2(33)SX14 para registrar un mensaje de error y restablecer el sistema; consulte de bug Cisco [CSCtf51541](#).

**Excepción de interrupción, señal de CPU 20, PC = 0x[dec]**

**Explicación** Esto es el resultado de un error de paridad de un solo bit en la memoria caché L2 de CPU (SRAM) utilizada por los módulos Catalyst de Cisco serie 6700.

**Recomendación** Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite RMA para reemplazar el módulo 6700 y marque el módulo para EFA. En las versiones de software del IOS de Cisco anteriores a 12.2(33)SX15, un error de software (Cisco bug ID [CSCtj06411](#)) provocaría incluso errores de paridad de un solo bit para reiniciar el módulo 6700. Esto se resolvió en las versiones 12.2(33)SX16 y 12.2(33)SXJ para Supervisor Engine 720 y en la versión 15.0SY para Supervisor Engine 2T.

## RAM

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected: SYSDRAM\_PARITY\_ERROR**

**Explicación** Esto es el resultado de un error de paridad incorregible en los módulos de memoria DRAM síncrona (SDRAM) (DIMM) utilizados por la MSFC3.

**Recomendación** Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, limpie y vuelva a colocar el DIMM y continúe monitoreando. Si el error continúa, solicite una RMA para reemplazar o actualizar el DIMM.

**%SYSTEM\_CONTROLLER-3-COR\_MEM\_ERR: Error de memoria DRAM corregible. Count [dec], log [he**

<b>Explicación</b>	Esto es el resultado de un error de paridad corregible en la SDRAM (DIMM) utilizada por la MSFC3.
<b>Recomendación</b>	Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, limpie y vuelva a colocar el DIMM y continúe monitoreando. Si el error continúa, solicite una RMA para reemplazar o actualizar el DIMM.
<b>%MWAM-DFC[dec]-0-CORRECTABLE_ECC_ERR: Se ha producido un error ECC corregible, A_BUS_L2_ERRORS: 0x10000, A_BUS_MEMIO_ERRORS: 0x0, A_SCD_BUS_ERR_STATUS: 0x80983</b>	
<b>Explicación</b>	Esto es el resultado de un error de paridad de un solo bit en la DRAM utilizada por los módulos de la serie 6700.
<b>Recomendación</b>	Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, limpie y vuelva a colocar el DIMM y continúe monitoreando. Si el error continúa, solicite una RMA para reemplazar o actualizar el DIMM.
<b>%PM_SCP-SP-2-LCP_FW_ERR_INFORM: El módulo [dec] está experimentando el siguiente error: Se ha detectado un error de paridad LTL en Coil #[dec].</b>	
<b>Explicación</b>	Esto es el resultado de un error de paridad en la SRAM utilizada por los módulos Cisco Catalyst 6100 y Cisco Catalyst 6300 Series.
<b>Recomendación</b>	Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite una RMA para reemplazar el módulo 6100 o 6300 y marque el módulo para EFA.
<b>%SYS-4-SYS_LCPERR4: Module [dec]: Error de paridad LTL detectado en Coil #[dec]</b>	
<b>Explicación</b>	Esto es el resultado de un error de paridad en la SRAM utilizada por los módulos de las series 6100 y 6300.
<b>Recomendación</b>	Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite una RMA para reemplazar el módulo 6100 o 6300 y marque el módulo para EFA.

## ASIC

<b>%PM_SCP-SP-2-LCP_FW_ERR_INFORM: El módulo [dec] está experimentando el siguiente error: Se ha detectado una falla en el búfer del paquete del puerto ASIC ([name]) en los puertos [dec]</b>	
<b>Explicación</b>	Esto es el resultado de un error de paridad en el búfer de paquetes ASIC del puerto (SRAM) utilizado por los módulos Ethernet Catalyst de Cisco serie 6148A.
<b>Recomendación</b>	Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite una RMA para reemplazar el módulo 6148A y marque el módulo para EFA.
<b>%LTL-SP-2-LTL_PARITY_CHECK: Solicitud de verificación de paridad LTL para 0x[hex]</b>	
<b>Explicación</b>	Esto es el resultado de un error de paridad en la tabla de índice de puertos ASIC (SRAM) del puerto utilizada por los módulos Catalyst 6100-6500 y Series.
<b>Recomendación</b>	Supervise el sistema regularmente para que vuelva a ocurrir. Si no se observan más eventos, se trata de un error de software. Si el error ocurre con frecuencia, solicite una RMA para reemplazar el módulo y marque el módulo para EFA.

Consulte estos documentos del software Cisco IOS para obtener una lista completa de mensajes de error:

- [Guía de Mensajes del Sistema de Cisco IOS Release 12.2SX](#)
- [Guía de Mensajes del Sistema de Cisco IOS Release 15.x SY](#)

La herramienta de interpretación de información de salida (disponible para clientes registrados únicamente) admite ciertos comandos show. Utilice la herramienta para ver un análisis de información de salida del comando show.

## Últimos avances

La investigación en el campo de los errores de paridad continúa y no se pueden abordar todas las situaciones, pero las organizaciones de desarrollo de hardware y software Cisco Catalyst 6500 siguen introduciendo nuevas formas, como la protección del código de corrección de errores (ECC), para minimizar y mitigar la aparición de errores de paridad.

Aunque este documento comenzó con el análisis de la tercera generación (WS-XSUP720 y principios de la serie 6700) de productos Catalyst 6500, esta sección resume las mejoras introducidas con la cuarta generación (VS-S720-10G y posteriores 6700 Series) y la quinta generación (VS-SUP2T-10G) y 6900 Series).

### Procesador

El módulo VS-S720-10G cuenta con una placa secundaria MSFC3 más nueva, con un nuevo IBC y CPU RP y SP SR7010A actualizadas con conjuntos de instrucciones reducidas (RISC) que funcionan a 600 Mhz cada una. Las memorias caché de nivel 1 (L1), nivel 2 y nivel 3 (L3) son capaces de detectar la paridad. La nueva IBC cuenta con todas las funciones de la generación anterior y agrega protección ECC (corrección de un solo bit, detección de bits múltiples) a las SRAM conectadas.

Los módulos de la serie 6700 admiten una CPU con memoria caché L2 protegida por ECC (la memoria caché L1 es capaz de detectar la paridad), lo que puede corregir los errores de paridad de un solo bit sin necesidad de restablecer. Sin embargo, debido al Id. de bug Cisco [CSCsz3922](#), la Versión 12.2SXI del Cisco IOS Software (Supervisor Engine 720) restablece el módulo de todos modos si se produce un error de paridad de caché de CPU de un solo bit. Esto se resuelve en las versiones 12.2SXJ (Supervisor Engine 720) y 15.0SY (Supervisor Engine 2T) del software Cisco IOS.

El VS-SUP2T-10G cuenta con un nuevo tablero secundario MSFC5 con un IBC integrado y una nueva CPU RP de PPC de doble núcleo único (con caché L2 y L3 protegida por ECC, la caché L1 es capaz de detectar la paridad) que funciona a 1,5 Ghz por núcleo. También cuenta con una CPU nueva, independiente y fuera de banda del Procesador de administración de conectividad (CMP) y DRAM protegida por ECC, que está disponible incluso si la CPU RP actualmente no está disponible.

El nuevo IBC cuenta con todas las funciones de generaciones anteriores y admite protección ECC para las SRAM conectadas y mejoras en la gestión de errores de paridad. La nueva MSFC5 también incluye una ROM de registro de fallos integrado (OBFL), que almacena todos los eventos de inicialización y diagnóstico de módulos. El nuevo diseño único de CPU también reduce la probabilidad estadística de eventos de error de paridad.

Los módulos de la serie 6900 admiten una CPU más reciente con caché L1 y L2 protegida por ECC, que puede corregir errores de paridad de un solo bit sin necesidad de restablecer. La nueva generación soporta el mismo IBC, y se ha incorporado el manejo del software para la corrección

de errores de paridad de un solo bit.

## **RAM**

El VS-S720-10G con MSFC3 cuenta con SDRAM de doble velocidad de datos (DDR) con protección ECC, que funciona a 266 MHz.

Los módulos de la serie 6700 admiten DDR SDRAM con protección ECC, que funciona a 266 Mhz.

En comparación con la SDRAM de velocidad de datos única (SDR), la interfaz SDRAM DDR permite mayores velocidades de transferencia mediante un control más estricto de la sincronización de las señales de reloj y los datos eléctricos. La interfaz DDR utiliza bombeo doble (transferencia de datos tanto en los bordes ascendente como descendente de la señal del reloj) para reducir la frecuencia del reloj. La frecuencia del reloj más baja reduce los requisitos de integridad de la señal en la placa de circuito que conecta la memoria al controlador.

El VS-SUP2T-10G con MSFC5 cuenta con SDRAM DDR3 con protección ECC, que funciona a 667 Mhz.

Los módulos de la serie 6900 admiten SDRAM DDR3 con protección ECC, que funciona a 667 Mhz.

La ventaja principal de la SDRAM DDR3 con respecto a sus predecesores inmediatos (DDR2 y DDR) es su capacidad para transferir datos a un ritmo dos veces superior (ocho veces superior a la velocidad de sus matrices de memoria interna), lo que permite un mayor ancho de banda o velocidades de datos pico. La memoria DDR3 también reduce el consumo de energía en un 30%, aunque utiliza el mismo estándar de señalización eléctrica que DDR y DDR2.

## **ASIC**

El VS-S720-10G con PFC3C cuenta con memorias intermedias de paquetes SRAM con protección ECC. Esto proporciona corrección de errores de paridad de un solo bit sin reinicio del módulo, así como detección de errores de paridad de bits múltiples.

La serie 6700 con DFC3C incluye memorias intermedias de paquetes SRAM con protección ECC. Esto proporciona corrección de errores de paridad de un solo bit sin reinicio del módulo, así como detección de errores de paridad de bits múltiples.

El VS-SUP2T-10G con PFC4 cuenta con memorias intermedias de paquetes SRAM con protección ECC. Esto proporciona corrección de errores de paridad de un solo bit sin reinicio del módulo, así como detección de errores de paridad de bits múltiples.

La serie 6900 con DFC4 incluye memorias intermedias de paquetes SRAM con protección ECC. Esto proporciona corrección de errores de paridad de un solo bit sin reinicio del módulo, así como detección de errores de paridad de bits múltiples.

## **Software**

El software Cisco IOS está diseñado para admitir la protección ECC. Si un componente de hardware que soporta la protección ECC experimenta un SEU, el código debería corregir los

datos dañados o restablecer el componente afectado y no requerir un reinicio de hardware completo del módulo afectado.

Sin embargo, en versiones anteriores del software Cisco IOS, hay algunas excepciones en las que el comportamiento se ha cambiado intencionalmente o funciona mal debido a un error de software. Estas son dos excepciones notables.

### **Restablecimiento de IBC de MSFC**

En las versiones de software del IOS de Cisco entre 12.1(8)E y 12.2(33)SXI3, el comportamiento predeterminado en respuesta a los eventos SEU SYSTEM\_CONTROLLER-3-ERROR fue restablecer el IBC y registrar un mensaje de error. Sin embargo, esta acción correctiva dio lugar a que algunos casos documentados de la IBC (y por lo tanto, de la CPU) ya no pudieran transmitir ni recibir datos.

Por lo tanto, el comportamiento se cambió después de la versión 12.2(33)SXI4 (Cisco bug ID [CSCtf51541](#)) para registrar un mensaje de error y restablecer el sistema. Si bien esta reacción puede parecer más grave, es preferible restablecer el sistema y corregir la estructura de memoria que tener un sistema que no responde.

Una función que se encuentra en desarrollo (Cisco bug ID [CSCtr89859](#)) añadirá un nuevo comando de interfaz de línea de comandos (CLI) que le permitirá cambiar el comportamiento predeterminado. Esta mejora es más aplicable a los sistemas que utilizan un único supervisor y, por lo tanto, no tienen redundancia de supervisor.

### **Restablecimiento de "error de paridad de un solo bit" de la serie 6700**

En las versiones anteriores a la 12.2(33)SXI5 del software Cisco IOS, un error de funcionamiento (Cisco bug ID [CSCtj06411](#)) provocaría incluso errores de paridad de un solo bit para reiniciar el módulo 6700. Esto normalmente sería un error de paridad corregible y no requeriría que se restableciera el módulo.

Este error se resolvió en las versiones 12.2(33)SXI6+ y 12.2SXJ para Supervisor Engine 720 y en la versión 15.0SY para Supervisor Engine 2T. Después de una actualización a la versión adecuada, el módulo 6700 simplemente registra un mensaje de error y continúa funcionando.

## **Recomendaciones**

En este punto, probablemente haya determinado si ha encontrado un error de paridad de software o de hardware. Aunque esto puede dar respuesta a un único incidente, es posible que todavía existan otras vulnerabilidades de error de paridad, por lo que debería adoptar un enfoque más completo de toda la red.

Por lo tanto, Cisco y la unidad empresarial Catalyst 6500 recomiendan que revise estos procedimientos de mitigación y tome las medidas correctivas adecuadas para eliminar o reducir los errores de paridad futuros.

### **Errores de software (SEU)**

Los errores de paridad de evento único (suave) son causados por condiciones ambientales y



pueden ocurrir solamente una vez (SEU) o muy poco frecuentemente, como mensual o anual. Aunque no es necesario sustituir el hardware, sí que desea mitigar las incidencias futuras.

Estas prácticas recomendadas reducen significativamente la probabilidad de errores de paridad de software.

## **Auditoría ambiental**

Cisco recomienda que realice una auditoría medioambiental de las ubicaciones de red afectadas. Puede realizar esta auditoría usted mismo o en coordinación con un representante de Cisco, con un equipo de Cisco (como [Cisco Advanced Services](#)) o a través de un consultor de terceros.

La cobertura y complejidad exactas de una auditoría ambiental dependen de muchas variables diferentes, como la ubicación geográfica, el tamaño y diseño de edificios y salas, el diseño y la distribución eléctricos y otros factores relacionados.

Piense en las fuentes ambientales de ESD y EMI que pueden existir en su red o en sus alrededores. Estas son fuentes comunes de interferencia que pueden conducir a un error de paridad de software:

- Cables de alimentación y suministros
- Unidades de distribución de energía
- Fuentes de alimentación universales
- Sistemas de iluminación
- Generadores de energía
- Instalaciones nucleares (radiación)
- Flares solares (radiación)

## **Ubicación del chasis**

Los SEU pueden ocurrir si las unidades de distribución de energía, los generadores de energía o los sistemas de iluminación están demasiado cerca del chasis o si hay varios cables de alimentación en el chasis o junto a él.

Es importante proporcionar una distancia adecuada entre el chasis Catalyst 6500 y estas fuentes eléctricas y magnéticas. Las distancias recomendadas varían según el componente y están disponibles en las hojas de datos de los componentes.

En general, Cisco recomienda que localice los sistemas a una distancia mínima de entre 3 y 6 pulgadas de las fuentes comunes de interferencias eléctricas y magnéticas. Los cables de alimentación se deben dirigir hacia abajo y fuera del chasis, siempre que sea posible, y no deben colocarse en paquetes bien empaquetados ni en grandes cantidades a lo largo del chasis o junto a él.

## **Conexión a tierra**

Las fluctuaciones de la alimentación y las sobrecargas de alimentación son relativamente frecuentes y las fuentes de alimentación Catalyst 6500 están diseñadas para adaptarse a variaciones menores de la corriente de voltaje.

Sin embargo, es fundamental proporcionar una toma de tierra eléctrica adecuada para el chasis y

el rack, de modo que cualquier exceso de tensión eléctrica se elimine del sistema. Sin una conexión a tierra adecuada, las sobrecargas de alimentación pueden provocar daños o fallos en varios ASIC y componentes de memoria. Consulte [Guía de Instalación del Switch Catalyst 6500 Series, Instalación del Switch, Establecimiento de la Conexión a Tierra del Sistema](#), para obtener más información.

## ESD

ESD puede dañar fácilmente componentes críticos sin ningún impedimento visible. Las medidas preventivas apropiadas deberían incorporarse en las políticas de funcionamiento de los laboratorios, pero esas medidas a menudo se pasan por alto, lamentablemente, debido a la rapidez y a la falta de supervisión.

Cisco recomienda que la gestión de operaciones de laboratorio, junto con Cisco Systems, realice una auditoría medioambiental de todas las áreas de red o, como mínimo, de todas las áreas que hayan mostrado fallos de hardware o que hayan sido designadas como críticas. Una vez finalizada la auditoría, Cisco recomienda que implemente una lista de verificación ambiental estandarizada para todos los sistemas instalados recientemente con el fin de evitar futuros eventos de paridad SEU.

## Firmware más reciente (Rommon)

Los componentes de hardware de Catalyst utilizan código de firmware (también conocido como Rommon) para inicializar, comunicar y ejecutar diagnósticos. Una vez que estas funciones se completan, el funcionamiento del sistema se entrega al software Cisco IOS. Es poco común experimentar problemas con el firmware, pero puede haber problemas si utiliza diferentes versiones del código de firmware para los supervisores y los módulos.

Por lo tanto, es una práctica recomendada asegurarse de que todos los componentes utilicen el código de firmware más reciente para garantizar la correcta inicialización y comunicación del módulo. Cisco recomienda que la administración de operaciones realice una auditoría de red y actualice todos los componentes de hardware con la versión de firmware más reciente.

Los problemas conocidos del firmware y los procedimientos de actualización se documentan en:

- [Notas de la versión de Supervisor Engine 720 Switch Processor ROMMON](#)
- [Notas de la versión de ROMMON del módulo de switching de la serie 6700](#)

Descargue las versiones de firmware más recientes del sitio Web de Cisco:

- [Cisco Catalyst 6500 Series Supervisor Engine 720 / MSFC3 - 8.5\(4\) Rommon](#)
- [Motor supervisor 720 de switching virtual Catalyst de Cisco serie 6500 con enlaces ascendentes 10GE - 12.2\(18r\)S1 Rommon](#)

## Tornillos

Todos los sistemas de red modulares están diseñados para insertarse en una placa de interconexiones del chasis con un conjunto de pines de interfaz físicos. La propia placa de interconexiones del chasis es esencialmente una serie de cables interconectados. Los pines en cada ranura del chasis forman la conexión de datos física entre los módulos Supervisor y Ethernet. Por lo tanto, la inserción y alineación adecuadas de estos pines es fundamental.

El Catalyst 6500 proporciona guías de guía y pines de alineación que ayudan en la instalación en el chasis. Los pines de ranura (sockets) y los conectores de módulo están diseñados para conectar fácilmente y proporcionar conectividad eléctrica con gran ancho de banda. Una vez insertados en el chasis, hay tornillos de pulgar a ambos lados del módulo que conectan completamente los pines de la placa de interconexiones. Consulte la [Nota de Instalación del Módulo de Switch Catalyst 6500 Series](#).

Si un módulo se ha insertado correctamente en la ranura y los tornillos de los pulgares se han ajustado correctamente, no se esperan problemas de comunicación. Sin embargo, pueden ocurrir varias condiciones en la inserción diaria de módulos que pueden llevar a una inserción incorrecta o incluso incompleta de pin:

- **Fuerza de inserción insuficiente:** si el módulo se inserta parcialmente sin el uso de los tornillos de almacenamiento en miniatura, esto puede causar paradas de bus y es posible que el módulo no pueda comunicarse con otros módulos. Según el nivel de inserción (por ejemplo, si hay un contacto físico limitado), el módulo puede transmitir y recibir datos, pero puede experimentar errores de bits que provocan paquetes dañados.
- **Desalineación vertical:** esto ocurre cuando sólo un lado del módulo está en las guías de guía. Esto se identifica fácilmente porque el módulo aparece en diagonal y normalmente no se conecta con los pines de la placa de interconexiones.
- **Desalineamiento horizontal:** si se utilizan tornillos para pulgar en un solo lado, algunos de los pines no se conectan correctamente. Este es un problema común, porque el módulo puede parecer insertado correctamente. La desalineación horizontal es en realidad una forma de fuerza de inserción insuficiente.

Cisco recomienda implementar un proceso de administración de operaciones que requiera el uso de los tornillos de almacenamiento en miniatura en todos los módulos Catalyst 6500 en entornos de producción. Esto asegura la inserción y alineación correcta y completa de los pines de la placa de interconexiones y evita futuras fallas debido a errores de bits y fallas de comunicación relacionadas.

## Errores graves (mal funcionamiento)

Los errores de paridad frecuentes o repetibles (duros) son causados por el mal funcionamiento físico de la memoria o del circuito utilizado para leer y escribir. En estos casos, reemplace el hardware y pida al Cisco Technical Assistance Center (TAC) o a su ingeniero de sistemas de Cisco que realice un EFA sobre el hardware devuelto.

Estas prácticas recomendadas reducen considerablemente la probabilidad de errores de paridad.

## Auditoría de hardware (MTBF y EOL)

Cisco recomienda realizar una auditoría de red de las ubicaciones de red afectadas. Puede realizar esta auditoría usted mismo o en coordinación con un representante de Cisco, con un equipo de Cisco (como [Cisco Advanced Services](#)) o a través de un consultor de terceros.

Todo el hardware (de todos los proveedores) está sujeto a una eventual degradación de la integridad física, y es importante realizar un seguimiento del ciclo de vida de todos los componentes de hardware de su red para comprender completamente la probabilidad de que se produzcan fallos en los componentes a lo largo del tiempo.

La fiabilidad del hardware se puede medir con el tiempo medio entre el marco de fallos (MTBF). Dado que el MTBF es sólo una media estadística, esto no significa que se produzca definitivamente un fallo al final del período de tiempo del MTBF. Sin embargo, aumenta la probabilidad y vulnerabilidad de falla de componentes, por lo que dicho hardware debe marcarse para su actualización. Consulte [Hojas de Datos de Switches Catalyst de Cisco serie 6500](#) para conocer valores específicos de MTBF para cada producto Catalyst 6500.

El [valor MTBF "a nivel del sistema" de Catalyst 6500 agregado](#) es  $\geq$  de 7 años.

Además del marco de MTBF, Cisco también proporciona un marco de fin de vida útil (EOL), que define el ciclo de vida esperado de un producto determinado y proporciona los anuncios aplicables para ayudarle a actualizar su equipo antiguo. Consulte los [Avisos de Fin de Vida Útil y Fin de Venta](#) para varios productos Catalyst 6500 heredados.

Como resultado de esta auditoría de hardware, Cisco recomienda que implemente su propio proceso MTBF y EOL que identifique y realice un seguimiento del hardware para una posible actualización. Esto garantiza que se esté ejecutando el hardware más reciente y minimiza la probabilidad de que se produzca un mal funcionamiento del hardware.

## Diagnóstico de hardware

El software Catalyst 6500 Series y Cisco IOS proporciona diagnósticos Generic Online Diagnostics (GOLD) y Health Monitoring (HM) diagnósticos para todos los componentes de hardware utilizados en el sistema. Los dos tipos básicos de diagnóstico que se pueden habilitar son a demanda y de arranque. Refiérase a [Generic Online Diagnostics on the Cisco Catalyst 6500 Series Switch](#) para obtener información adicional.

Cisco recomienda habilitar los diagnósticos de inicio "completos" para todos los componentes de hardware a fin de garantizar que se ejecuten todas las pruebas de diagnóstico y para confirmar que todos los componentes de hardware funcionen como se espera al arrancar.

Cisco también recomienda programar diagnósticos periódicos y a demanda de los componentes de la infraestructura crítica de forma diaria o semanal. Más allá de los diagnósticos de inicio que ocurren sólo durante la inicialización, los diagnósticos a demanda garantizan que el hardware siga funcionando según lo esperado. Consulte [Guía de Configuración del Software Catalyst 6500 Release 12.2SX, Componentes de Hardware y Interfaz, Diagnósticos Online](#) para obtener más información.

Además de las pruebas de diagnóstico a demanda predeterminadas, Cisco recomienda que habilite estas pruebas de diagnóstico a demanda para identificar proactivamente los componentes de memoria que podrían funcionar mal:

- Memoria de tarjeta de línea de prueba
- TestAsicMemory

## Información Relacionada

- [Comunidad de Cisco - %C4K\\_RKNOVA-2-EDACSOFTERROR](#)
- [Soporte Técnico y Documentación - Cisco Systems](#)