

Arquitectura de Cisco 12000 Series Internet Router: Diseño de tarjeta de línea

Contenido

[Introducción](#)

[Prerequisites](#)

[Requirements](#)

[Componentes Utilizados](#)

[Convenciones](#)

[Operaciones principales fundamentales](#)

[Determinación de Trayectoria:](#)

[Cisco Express Forwarding](#)

[Arquitectura de tarjeta en línea](#)

[Tarjetas de línea de núcleo](#)

[Tarjetas de línea de borde](#)

[Tarjetas de línea de borde canalizadas](#)

[Tarjetas de línea de modo de transferencia asíncrono \(ATM\)](#)

[Tarjetas de línea Ethernet](#)

[Tarjetas de línea de transporte dinámico de paquetes \(DPT\)](#)

[Tarjetas de línea de fin de venta \(EOS\)](#)

[Instalación de la tarjeta en línea](#)

[Información Relacionada](#)

[Introducción](#)

Este documento brinda una visión general de la tarjeta de línea del router de Internet de la serie 12000 de Cisco.

[Prerequisites](#)

[Requirements](#)

No hay requisitos específicos para este documento.

[Componentes Utilizados](#)

La información que contiene este documento se basa en el siguiente hardware:

- 'Router de Internet la serie Cisco 12000'

The information in this document was created from the devices in a specific lab environment. All of

the devices used in this document started with a cleared (default) configuration. If your network is live, make sure that you understand the potential impact of any command.

Convenciones

Para obtener más información sobre las convenciones del documento, consulte [Convenciones de Consejos Técnicos de Cisco](#).

Operaciones principales fundamentales

El router de Internet de la serie Cisco 12000 tiene una arquitectura verdaderamente distribuida en el sentido de que todas las tarjetas de línea (LC) ejecutan una copia de la imagen del software ^{de} Cisco IOS[®], y todo el switching se realiza en las LC. El switching de Cisco Express Forwarding es el ÚNICO trayecto de conmutación. No existe fast switching, optimum switchin, u otros, como existen en otras plataformas tales como las 7500 series. Para obtener una descripción general de las trayectorias de conmutación no distribuidas disponibles en las diferentes plataformas, vea [Cómo elegir la mejor trayectoria de conmutación del router para su red](#).

Las funciones de reenvío de paquetes son realizadas por cada tarjeta de línea. Se distribuye una copia de las tablas de reenvío calculadas por el Procesador de ruta Gigabit (GRP) a cada tarjeta de línea del sistema. Cada tarjeta de línea realiza una búsqueda independiente de una dirección de destino para cada datagrama recibido en una copia local de la tabla de reenvío, y el datagrama se conmuta a través de un entramado de switch de barras cruzadas a la tarjeta de línea de destino. Las funciones básicas de las LC son el reenvío de IP/Multiprotocol Label Switching (MPLS), la respuesta de ping y la fragmentación de paquetes.

La tarjeta de línea se encarga de:

- colocación en cola, como [Primero en entrar, Primero en salir \(FIFO\)](#) y Turno de Déficit Modificado (MDRR)
- control de congestión: [Detección temprana aleatoria ponderada \(WRED\)](#)
- otras características como [Listas de acceso \(ACL\)](#) y [Velocidad de acceso comprometida \(CAR\)](#)
- estadísticas, como [NetFlow](#) y contabilidad Cisco Express Forwarding

Antes de profundizar en la arquitectura de las tarjetas de línea, es importante comprender las operaciones específicas de Cisco 12000. Se pueden dividir en las siguientes categorías:

- Determinación de Trayectoria:
- Cisco Express Forwarding
- Calidad de servicio (QoS), como por ejemplo Administración de la congestión

Determinación de Trayectoria:

El proceso de determinación del trayecto para el Cisco 12000 incluye las siguientes actividades:

- Procesamiento de protocolos de ruteo internos como Protocolo mejorado de ruteo de puerta de enlace interno (EIGRP), Sistema intermedio a sistema intermedio (IS-IS), Abrir primero trayecto más corto (OSPF)
- Procesamiento de protocolo de gateway externa como el Protocolo del gateway marginal

(BGP)

- Emisión y respuesta a actualizaciones de ruteo
- Creación y mantenimiento de la tabla de ruteo
- Resolución de rutas recursivas
- Envío de actualizaciones a las tablas de reenvío

Antes de que el 12000 pueda reenviar cualquier datagrama IP, el GRP debe generar una tabla de ruteo local. Esta tabla de ruteo contiene la información del próximo salto para el paquete IP que ingresa.

El GRP genera y mantiene la tabla de routing procesando los protocolos de routing interior, como el protocolo de routing de gateway interior mejorado (EIGRP), el sistema intermedio a sistema intermedio (ISIS), la ruta de acceso más corta primero (OSPF) y el protocolo de gateway fronterizo (BGP).

Esta tabla contiene todas las entradas y métricas de ruta (por ejemplo, la longitud de trayecto) necesarias para reenviar un paquete IP. Además, el GRP calcula todas las rutas recursivas que ocurren cuando se proporciona soporte para un protocolo interior y un protocolo de gateway externo como BGP. El GRP y las tarjetas de línea utilizan un nuevo método de switching distribuido denominado Cisco Express Forwarding distribuido (dCEF). Con este método de conmutación distribuida, el reenvío de paquetes, incluida la información de ruta recursiva precalculada, se envía a cada tarjeta de línea.

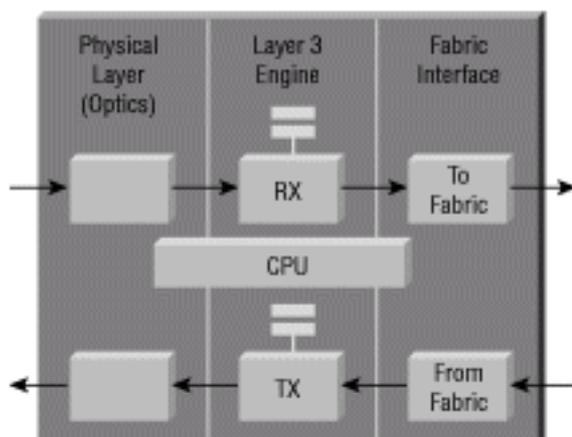
Cisco Express Forwarding

Si desea obtener más información acerca de Cisco Express Forwarding, consulte [Introducción a Cisco Express Forwarding en el router de Internet de la serie 12000 de Cisco](#).

Arquitectura de tarjeta en línea

Hay diferentes tipos de arquitectura de tarjeta de línea según el tipo de motor. La siguiente figura muestra un diagrama común genérico para todas las LC:

Diagrama de tarjeta de línea



Cada LC se puede dividir en tres secciones principales:

- Módulo de interfaz de capa física (PLIM): módulo de hardware que finaliza la conexión física (dependiente de medios; por lo tanto, Asynchronous Transfer Mode (ATM), Packet-over-

SONET (POS) y Fast Ethernet)

- Motor de conmutación L3 - Este motor de reenvío prepara paquetes para la transmisión a través del entramado de conmutación a la LC de destino. Se encarga de las búsquedas de L3, las reescrituras, el almacenamiento en búfer, el control de congestión y todas las funciones de QoS de L3. Existen cinco tipos de motores de reenvío de paquetes, a saber, los motores 0, 1, 2, 3 y 4. Las tarjetas de línea al momento de escribir esto se clasifican por el tipo de motor de reenvío de paquetes descrito en la tabla siguiente.
- Interfaz de fabric: la interfaz de fabric ASIC (FIA) prepara los paquetes para su transmisión a través del fabric de switching a la LC de destino. Se encarga de las solicitudes de concesión de fabric, la colocación en cola de fabric, la replicación multidifusión por ranura, etc.

El Cisco 12000 Series ofrece una cartera amplia de tarjetas de línea, que incluyen tarjetas de línea de Core, Edge, Channelized Edge, Asynchronous Transfer Mode (ATM), Ethernet, Dynamic Packet Transport (DPT) y fin de venta (EOS). Estas tarjetas de línea envían un alto rendimiento, la entrega y servicio de paquetes de prioridad garantizados y la Inserción y extracción en línea (OIR) transparente a través de la arquitectura de sistema distribuido de la serie 12000 de Cisco. Las siguientes tablas listan las tarjetas de línea existentes al mes de diciembre de 2001 con el correspondiente tipo de motor:

Tarjetas de línea de núcleo

Nombre de tarjeta de línea	Mot or	Chasis admitidos	Versi ón del IOS	Rec urso s
Tarjeta de línea de un puerto OC-48c/STM-16c POS/SDH ISE y de un puerto OC-48 POS ISE	Mot or 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)S 12.0(21)ST	Fich a técnica
Tarjeta de línea 1-Port OC-48 POS One-Port OC-48c/STM-16c POS/SDH	Mot or 2	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(11)ST	Fich a técnica
Tarjeta de línea de 4 puertos OC-48 POS de cuatro puertos OC-48c/STM-16c POS/SDH	Mot or 4	Sólo chasis 10G	12.0(15)S 12.0(17)ST	Fich a técnica
Tarjeta de línea OC-192c/STM-64c POS/SDH de un puerto OC-192 POS 1 puerto	Mot or 4	Sólo chasis 10G	12.0(15)S 12.0(17)ST	Fich a técnica

Tarjetas de línea de borde

Nombre de tarjeta de línea	Mo tor	Chasi s admitidos	Versi ón del IOS	Recurs os
6-Port DS3 Six-Port DS3 Line Card	Mo tor	Chasi s 10G	12.0(10)S	Ficha técnica

	0	Chasis 2.5G	12.0(11)S T	
12-Port DS3, Tarjeta de línea DS3 de 12 puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(11)S T	Ficha técnica
Tarjeta de línea E3 de 6 puertos con E3 de seis puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(15)S 12.0(16)S T	Ficha técnica (versión pdf)
Tarjeta de línea de 12 puertos E3 Doce puertos E3	Motor 0	Chasis 10G Chasis 2.5G	12.0(15)S 12.0(16)S T	Ficha técnica (versión pdf)
Tarjeta de línea de 4 puertos OC-3 POS de cuatro puertos OC-3c/STM-1c POS/SDH	Motor 0	Chasis 10G Chasis 2.5G	12.0(05)S 12.0(11)S T	
Tarjeta de línea de 8 puertos OC-3 POS Eight-Port OC-3c/STM-1c POS/SDH	Motor 2	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(11)S T	Ficha técnica
Tarjeta de línea OC-3 POS/SDH de 16 puertos OC-3c/STM-1c POS/SDH de 16 puertos	Motor 2	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(11)S T	Ficha técnica
ISE POS OC-3 de 16 puertos ISE POS/SDH OC-3c/STM-1c de 16 puertos	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)S 12.0(21)S T	Ficha técnica
Tarjeta de línea de 1 puerto OC-12 POS de un puerto OC-12c/STM-4c POS/SDH	Motor 0	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(11)S T	Ficha técnica
Tarjeta de línea POS/SDH OC-12c/STM-4c de cuatro puertos, POS OC-12 de cuatro puertos	Motor 2	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(11)S T	Ficha técnica
Tarjeta de línea de 4 puertos OC-12 c/STM-4c POS/SDH	Motor	Chasis 10G	12.0(21)S	Ficha técnica

ISE de cuatro puertos OC-12 POS ISE	3 (ISE)	Chasis 2.5G	12.0(21)S T	
Tarjeta de línea de un puerto OC-48c/STM -16c POS/SDH ISE y de un puerto OC-48 POS ISE	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)S 12.0(21)S T	Ficha técnica

Tarjetas de línea de borde canalizadas

Nombre de tarjeta de línea	Motor	Chasis admitidos	Versión del IOS	Recursos
Tarjeta de línea OC-3/STM-1(DS1/E1) canalizada de 2 puertos, CHOC-3, DS1/E1 de 2 puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(17)S 12.0(17)S T	Ficha técnica
Tarjeta de línea de 1 puerto CHOC-12, DS3 un puerto canalizado OC-12 (DS3)	Motor 0	Chasis 10G Chasis 2.5G	12.0(05)S 12.0(11)S T	Ficha técnica
Tarjeta de línea de 1 puerto CHOC-12, OC-3 Un puerto canalizado OC-12/STM-4 (OC-3/STM-1)	Motor 0	Chasis 10G Chasis 2.5G	12.0(05)S 12.0(11)S T	Ficha técnica
CHOC-12 ISE de 4 puertos OC-12/STM-4 (DS3/E3, OC-3c/STM-1c) POS/SDH ISE canalizado de cuatro puertos	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)S 12.0(21)S T	Ficha técnica
1-Port CHOC-48 ISE One-Port Channelized OC-48/STM-16 (DS3/E3, OC-3c/STM-1c, OC-12c/STM-4c) POS/SDH ISE Line Card	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)S 12.0(21)S T	Ficha técnica
Tarjeta de línea (T1) T3 canalizada de 6 puertos, T3 canalizada de 6 puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(14)S 12.0(14)S T	

Tarjetas de línea de modo de transferencia asíncrono (ATM)

Nombre de tarjeta de línea	Motor	Chasis admitidos	Versión del IOS	Recursos
----------------------------	-------	------------------	-----------------	----------

ATM OC-3c/STM-1c de cuatro puertos, ATM OC-3 de cuatro puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(5)S 12.0(11)ST	Ficha técnica
ATM OC-12 de 1 puerto ATM OC-12c/STM-4c de un puerto	Motor 0	Chasis 10G Chasis 2.5G	12.0(7)S 12.0(11)ST	Ficha técnica
Tarjeta de línea 4-Port OC-12 ATM Four-Port OC-12c/STM-4c ATM	Motor 2	Chasis 10G Chasis 2.5G	12.0(13)S 12.0(14)ST	Ficha técnica

Tarjetas de línea Ethernet

Nombre de tarjeta de línea	Motor	Chasis admitidos	Versión del IOS	Recursos
Tarjeta de línea de Fast Ethernet de 8 puertos FE con ECC ocho puertos	Motor 1	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(16)ST	Ficha técnica
GE de 1 puerto con line card Ethernet de Gigabites ECC de un puerto	Motor 1	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(16)ST	Ficha técnica
GE de 3 puertos con tarjeta de línea Gigabit Ethernet de de tres puertos	Motor 2	Chasis 10G Chasis 2.5G	12.0(11)S 12.0(16)ST	Ficha técnica
Ethernet GE de 10 puertos y Gigabit de diez puertos	Motor 4 con RX/TX+ /Densidad	Chasis 10G Chasis 2.5G	12.0(22)S 12.0(22)ST	Ficha técnica

Tarjetas de línea de transporte dinámico de paquetes (DPT)

Nombre de tarjeta de línea	Motor	Chasis admitidos	Versión del IOS	Recursos
DPT OC-12 DPT 2 puertos DPT OC-12c/STM-4c dos puertos	Motor 1	Chasis 10G Chasis 2.5G	12.0(10)S 12.0(11)ST	Anuncio de la hoja de datos
1-Port OC-48 DPT One-Port OC-48c/STM-16c DPT	Motor 2	Chasis 10G Chasis 2.5G	12.0(15)S 12.0(16)ST	Anuncio de la hoja de datos

Tarjetas de línea de fin de venta (EOS)

Las siguientes tarjetas de línea ya no están a la venta. Se enumeran aquí sólo como referencia.

Nombre de tarjeta de línea	Motor	Chasis admitidos	Versión del IOS
Tarjeta habilitadora OC-192c/ STM-64c de 1 puerto	Motor	Chasis 10G	12.0(10)S
Tarjeta habilitadora OC-192c/STM-64c POS/Enabler Card de 1 puerto	Motor 2	Chasis 2.5G	12.0(11)ST

Puede obtener todas las hojas de datos disponibles desde la página de [documentación del producto](#).

Nota: Las tarjetas de línea del Motor 3 son capaces de realizar funciones de borde a velocidad de línea. Cuanto más alto sea el motor de Capa 3, más paquetes se conmutarán en el hardware.

Lo único que realmente diferencia una tarjeta de línea de otra es el módulo de interfaz de capa física (PLIM) y el motor de reenvío de capa 3. Las tarjetas de línea varían según los PLIM solamente dentro del mismo Motor de reenvío L3. Los PLIM tienen componentes basados en los medios (por ejemplo, el PLIM de Asynchronous Transfer Mode (ATM) tiene un Segmentation and Reassembly (SAR, segmentación y reconstrucción) y el PLIM GigE tiene un Media Access Control Application-Specific Integrated Circuit - (MAC ASIC), pero la teoría que se aplica al trayecto del paquete en todos los PLIM es muy similar. Este documento se centra en PLIM de Paquete sobre SONET (POS) pero se indican diferencias útiles cuando corresponde.

Para determinar el tipo de Motor de Capa 3 de una tarjeta de línea, Cisco IOS Software Release 12.0(9)S ha agregado el tipo "Motor L3" a la salida del **comando show diag**, como se ilustra a continuación:

```
SLOT 1 (RP/LC 1 ): 1 Port Packet Over SONET OC-12c/STM-4c Single Mode
  MAIN: type 34, 800-2529-02 rev C0 dev 16777215
        HW config: 0x00 SW key: FF-FF-FF
  PCA:  73-2184-04 rev D0 ver 3
        HW version 1.1 S/N CAB0242ADZM
  MBUS: MBUS Agent (1) 73-2146-07 rev B0 dev 0
        HW version 1.2 S/N CAB0236A4LE
        Test hist: 0xFF RMA#: FF-FF-FF RMA hist: 0xFF
  DIAG: Test count: 0xFFFFFFFF Test results: 0xFFFFFFFF
  L3 Engine: 0 - OC12 (622 Mbps)
  !--- Engine 0 card. MBUS Agent Software version 01.40 (RAM) (ROM version is 02.02) Using CAN
  Bus A ROM Monitor version 10.00 Fabric Downloader version used 13.01 (ROM version is 13.01)
  Primary clock is CSC 1 Board is analyzed Board State is Line Card Enabled (IOS RUN ) Insertion
  time: 00:00:11 (2w1d ago) DRAM size: 268435456 bytes FrFab SDRAM size: 67108864 bytes ToFab
  SDRAM size: 67108864 bytes 0 crashes since restart
```

Existe un comando de acceso directo que puede utilizarse para obtener el mismo resultado, pero sólo con la información útil.

```
Router#show diag | i (SLOT | Engine)
```

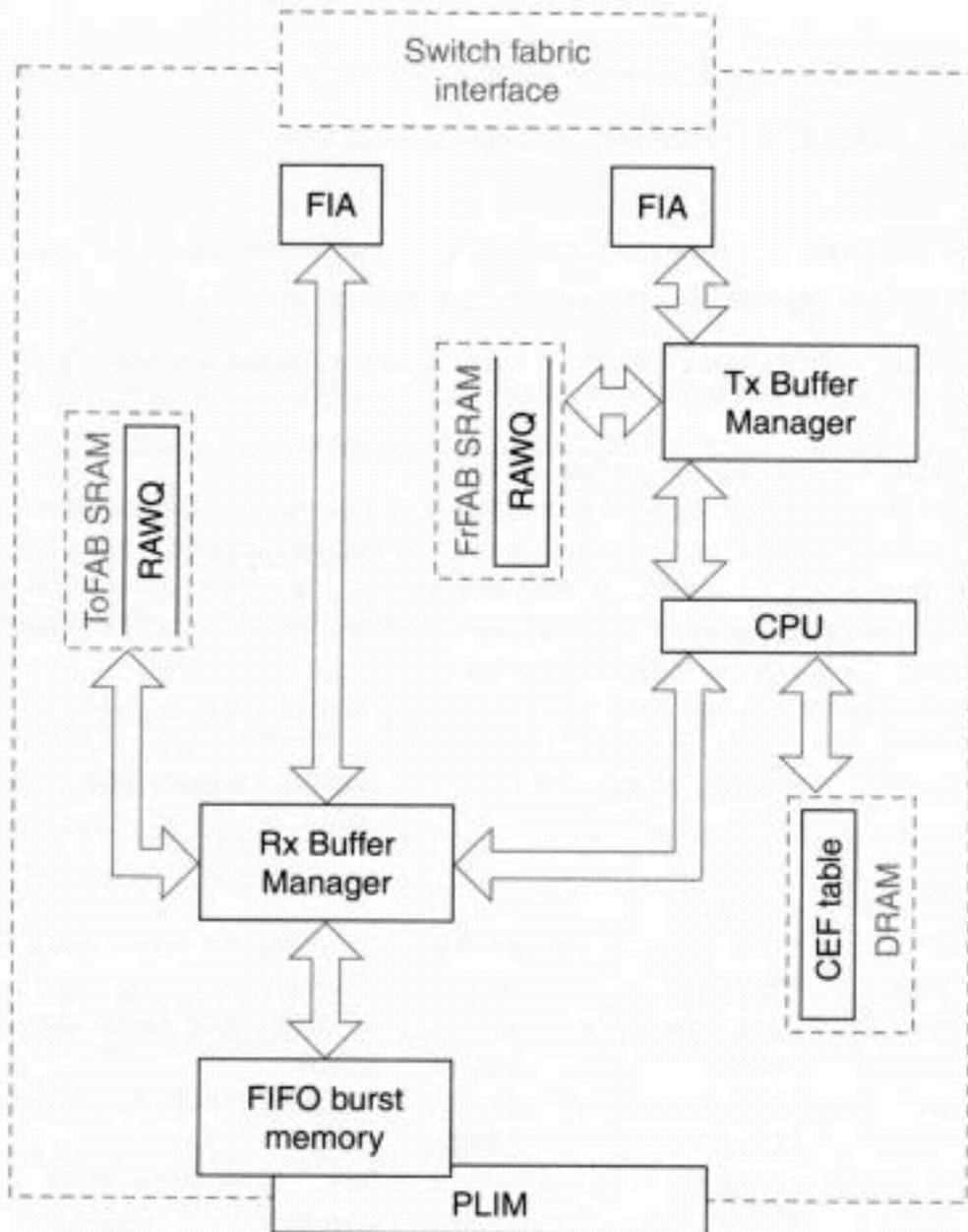
```
...
SLOT 1 (RP/LC 1 ): 1 port ATM Over SONET OC12c/STM-4c Multi Mode
```

L3 Engine: 0 - OC12 (622 Mbps)
SLOT 3 (RP/LC 3): 3 Port Gigabit Ethernet
L3 Engine: 2 - Backbone OC48 (2.5 Gbps)

...

Cisco ofrece ahora cinco tipos de motores L3:

- **Motor 0** - OC12/BMA: La búsqueda de IP/MPLS se realiza en software mediante una CPU R5K. Este motor utiliza un ASIC para la administración de búfer (BMA) heredado que administra segmentos y búfers de paquete y reensambla paquetes para transmitirlos por la estructura del switch. BMA de recepción es responsable de la recepción de paquetes provenientes de PLIM, la segmentación de paquetes en celdas de tamaño fijo y también, de la presentación de estos paquetes en la Interfaz de recursos físicos ASIC (FIA) para la transmisión a través de los recursos físicos de conmutación. El BMA de transmisión realiza, con ayuda desde la FIA, el reensamblado en paquetes de las celdas que provienen del switch fabric y entrega los paquetes al PLIM para que los transmita desde la caja. La mayoría de las funciones de esta tarjeta de línea se implementan en el software.
- **Motor 1** - Salsa/BMA48 (TTM48): Este segundo motor ha sido mejorado. En primer lugar, se ha desarrollado un nuevo ASIC para realizar la búsqueda IP en hardware. Esta nueva ASIC se llama Salsa. En el software de este motor se realiza solamente la reescritura de Control de acceso de medios (MAC). El BMA también se ha actualizado para obtener más ancho de banda. Ahora se llama BMA48. No existe soporte MDRR o WRED para este motor. Los motores de reenvío **del motor 0** y **del motor 1** se muestran con sus componentes clave en la siguiente figura: **Motor 0 y Motor 1 Motor de Reenvío de Paquetes**

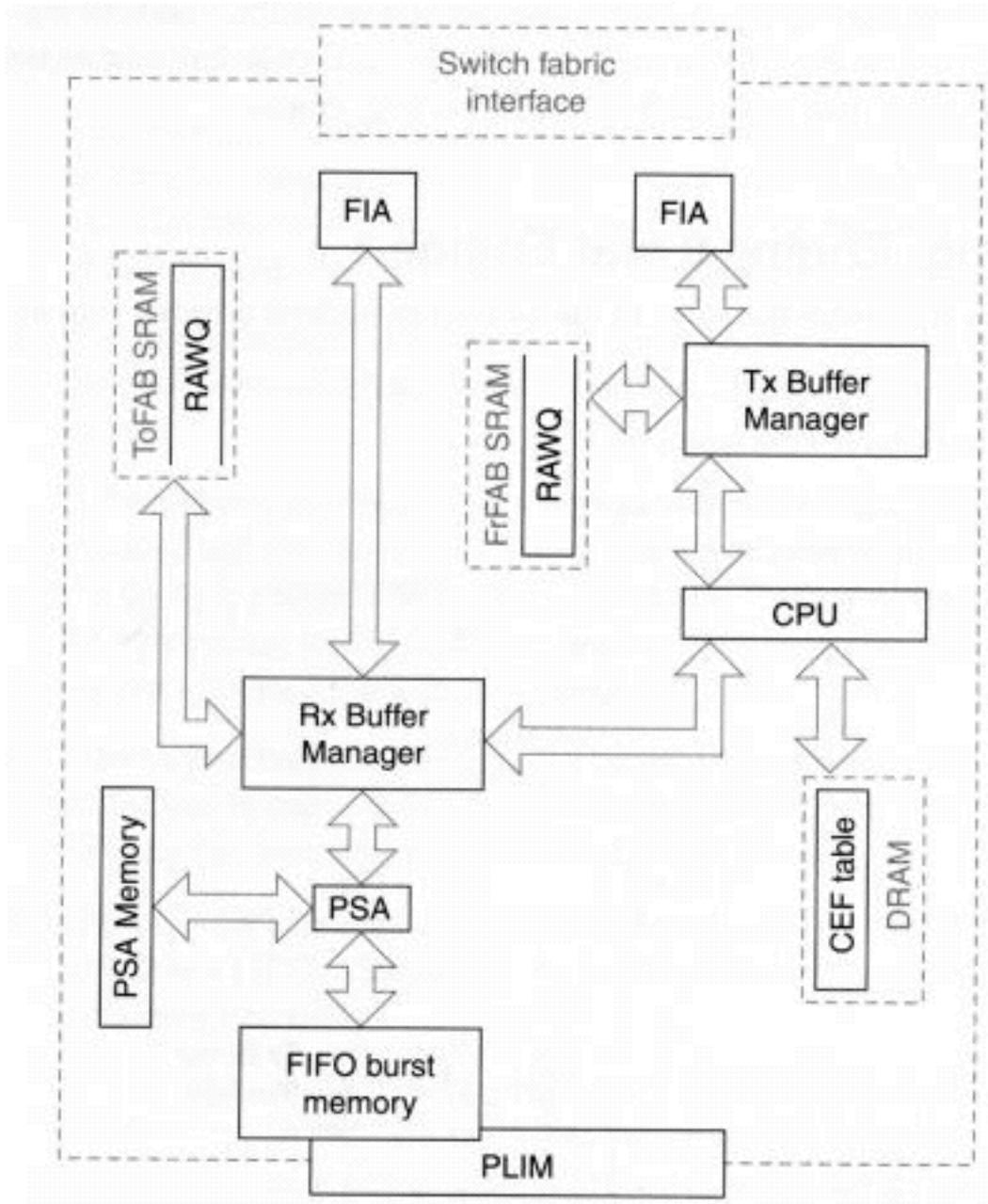


- **Motor 2 - PSA/TBM/RBM (Perf48):** Hay un nuevo ASIC en estas LC para mejorar la forma en que se realiza la búsqueda IP/MPLS. El ASIC de conmutación del paquete (PSA), realiza una búsqueda de hardware y vuelve a escribir para paquetes IP y Tag. Con este fin, el PSA utiliza una copia local destilada de la tabla FIB (**show ip psa a.b.c.d**). Toda la conmutación de paquetes en una LC de Motor 2 se realiza en hardware por el PSA. La CPU en la LC es interrumpida para una decisión de reenvío de paquete sólo si se configura una función en la tarjeta de línea que PSA no admite. Esta tabla PSA se almacena en la memoria externa que sólo está presente en las LC del Motor 2.

```
Router#exec slot 11 show controller psa mem
===== Line Card (Slot 11) =====
PLU SDRAM: Size 0x4000000, Banks 4
TLU SDRAM: Size 0x4000000, Banks 4
PSA SSRAM: Size 0x100000
```

La memoria del paquete se ha aumentado de forma predeterminada a 256 MB y puede alcanzar los 512 MB. También hay nuevos ASIC de administrador de memoria intermedia de Rx y Tx (denominados RBM y TBM, respectivamente) que son clave para el soporte basado en hardware de características de Clase de servicio (CoS) en esta LC: WRED y MDRR se

ejecutan en el hardware. CAR no está disponible, pero se puede configurar en su lugar un subconjunto de CAR conocido como Per-Interface Rate Control (PIRC). A partir de la versión 12.0(14)S del software Cisco IOS, NetFlow de muestra es compatible con las tarjetas de línea de paquetes sobre SONET (POS) del motor 2. La función Sampled NetFlow le permite probar uno de "x" paquetes IP reenviados a los routers, permitiéndole al usuario definir el intervalo "x" con un valor comprendido entre un mínimo y un máximo. Los paquetes de muestreo se toman en cuenta en la memoria caché de flujo de NetFlow del router. Estos paquetes de muestreo reducen considerablemente la utilización de la CPU necesaria para dar cuenta de los paquetes NetFlow, permitiendo que la mayoría de los paquetes sean conmutados más rápidamente ya que no necesitan atravesar un procesamiento NetFlow adicional. Vea [Sampled NetFlow](#) para obtener más información. A partir de la versión 12.0(16)S del software Cisco IOS, NetFlow de muestra es compatible con las tarjetas de línea Gigabit Ethernet de 3 puertos. A partir de la versión 12.0(18)S del software Cisco IOS, NetFlow de muestra y 128 listas de control de acceso (ACL) en el PSA ahora se pueden configurar al mismo tiempo en las tarjetas de línea de paquetes sobre SONET (POS) del motor 2. Todo se conmuta a través del PSA, con la excepción de algunas funciones que tienen que ir a la CPU local de la LC: la CAR de salida, paquetes con listas de acceso aplicadas si no encajan en las restricciones PSA, opciones/tráfico sin tránsito, paquetes de multidifusión, paquetes IPv6, etc. El CAR de salida se ha reemplazado por el modelado de tráfico distribuido (DTS) a partir de la versión 12.0(16)S del software del IOS de Cisco. Hay más información disponible en [Modelado de tráfico distribuido para tarjetas de línea en el Cisco 12000 Series Internet Router](#). El soporte para ACL se ha cambiado en el hardware en las tarjetas del Motor 2. Si no desea configurarlos, debe agregar la línea **no access-list hard psa** a su configuración. A continuación se muestra un diagrama de un motor de reenvío de Motor 2 y sus componentes clave: **Motor 2 de reenvío de paquetes**



- **Motor 3** - Motor de borde: Este motor es un motor de capa 3 de arquitectura completamente nuevo. También tiene ancho de banda OC48, pero integra algunos ASIC nuevos para mejorar la velocidad de reenvío con cualquier función de QoS y ACL. Las tarjetas de línea del motor 3 son capaces de ejecutar funciones Edge a una velocidad de línea.
- **Motor 4** - Estructura básica OC192: Los routers de las series 12008 y 12012 no admiten estas últimas tarjetas de línea. Soportan la velocidad de línea de OC192.
- **Motor 4+** - Igual que el Motor 4, excepto que soportan muchas más funciones a velocidad de línea.

[Instalación de la tarjeta en línea](#)

A continuación se muestran los enlaces relacionados con la instalación y configuración de LC y soporte LC para diferentes chasis:

- [Notas de Instalación y Configuración de la Tarjeta de Línea Cisco 12000](#)

Para obtener más información sobre los tipos de memoria en las tarjetas de línea, vea [Memoria presente en las tarjetas de línea](#).

Información Relacionada

- [Arquitectura del router de Internet de la serie 12000 de Cisco – Chasis](#)
- [Arquitectura del Router de Internet del Cisco 12000 Series - Switch Fabric](#)
- [Arquitectura del router de Internet de la serie 12000 de Cisco – Procesador de ruta](#)
- [Arquitectura del router de Internet de la serie 1200 de Cisco – Detalles de la memoria](#)
- [Arquitectura del router de Internet de la serie 12000 de Cisco – Bus de mantenimiento, suministro eléctrico y ventiladores y tarjetas de alarma](#)
- [Arquitectura del router de Internet de la serie 12000 de Cisco – Información general del software](#)
- [Arquitectura del Cisco 12000 Series Internet Router – Switching de Paquetes](#)
- [Introducción a Cisco Express Forwarding \(CEF\)](#)
- [Soporte Técnico y Documentación - Cisco Systems](#)