

# Formatos de alineación de tramas en interfaces ATM DS-3 y E3

## Contenido

[Introducción](#)

[Prerequisites](#)

[Requirements](#)

[Componentes Utilizados](#)

[Convenciones](#)

[Comprender ADM y PLCP](#)

[E3](#)

[Asignación](#)

[PLCP \(Protocolo de convergencia de capa física\)](#)

[ADM](#)

[Opciones de alineación de tramas en interfaces de Cisco](#)

[Confirme su configuración](#)

[Resolución de problemas de discordancia de tipo de trama](#)

## Introducción

El nivel 3 de la señal digital (DS-3) admite velocidades de hasta 44.736 Mbps y es un tipo de link popular para aplicaciones de estructura básica WAN. Las líneas DS-3 están diseñadas para transportar de forma sincrónica hasta 28 líneas DS-1 (T1). El documento T1.107-1998 del Instituto Nacional Estadounidense de Estándares (ANSI) define las especificaciones eléctricas para los links DS-3.

E3 admite velocidades de hasta 34.368 Mbps y es un tipo de link popular para las aplicaciones de estructura básica de WAN fuera de los Estados Unidos.

La mayoría de las interfaces DS-3 y E3 proporcionan una selección de cuatro formatos de entramado. Estos formatos difieren en el número de bytes de tara, la cantidad de bytes de carga útil y el método de definición de las celdas ATM adyacentes.

Este documento revisa los cuatro formatos de entramado y explica cómo resolver cualquier error de línea de capa física tal como se muestra en el comando **show controllers atm**.

## Prerequisites

## Requirements

No hay requisitos específicos para este documento.

## Componentes Utilizados

Este documento no tiene restricciones específicas en cuanto a versiones de software y de hardware.

## Convenciones

For more information on document conventions, refer to the [Cisco Technical Tips Conventions](#).

## Comprender ADM y PLCP

Para la tecnología ATM, este documento utiliza el formato de tramas múltiples descrito en la recomendación G.704.

Un flujo de bit DS-3 se organiza como una serie de tramas múltiples, conocidas como tramas M. Cada trama M se divide en siete subtramas M de 680 bits cada una. Un subtrama M se particiona aún más en ocho bloques de 85 bits cada uno. Un bloque de 85 bits consta de 84 bits de información de usuario y uno de estos bits de tara de entramado:

- **P1, P2:** los bits P sirven como una verificación de paridad para proteger contra errores de bit a medida que la trama atraviesa el cable físico.
- **X1, X2:** los bits X se utilizan para indicar que se han recibido tramas múltiples con errores en el extremo remoto.
- **F1, F2, F3, F4:** los bits F sirven como señales de alineación utilizadas por el equipo receptor para identificar las posiciones de los bits de tara. Los valores son F1 = 1, F2 = 0, F3 = 0, F4 = 1.
- **M1, M2, M3:** los bits M sirven como una señal de alineación de tramas múltiples utilizada para localizar las siete subtramas M, dentro de la trama múltiple. Los valores son M1 = 0, M2 = 1, M3 = 0.
- Los bits C se utilizan como personal de bits con entramado M23 y como supervisión de rendimiento de trayecto de extremo a extremo en servicio con entramado de bits C.

De un total de 4760 bits, cada trama M incluye 4704 bits de usuario y 56 bits de entramado de tara.

## E3

Para la tecnología ATM, este documento utiliza la estructura de trama básica descrita en las recomendaciones G.832 o G.751.

Con G.832 la estructura básica de tramas E3 tiene siete octetos de sobrecarga y 530 octetos de carga útil. Los bytes de sobrecarga se utilizan para una alineación de tramas, supervisión de errores y mantenimiento.

Con G.751, 4 señales digitales se multiplexan a una velocidad de 8448 kbit/s

## Asignación

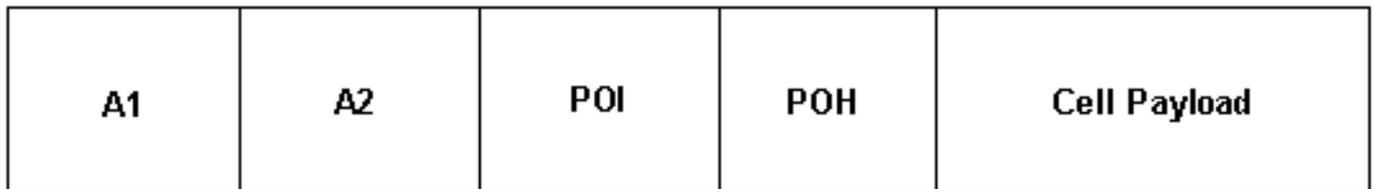
Existen dos métodos para mapear celdas ATM en la estructura de entramado DS-3 o [E3](#):

- Protocolo de convergencia de capa física (PLCP).
- Asignación directa ATM (ADM).

E3 que utiliza la recomendación G.832 puede utilizar solamente la asignación ADM.

## PLCP (Protocolo de convergencia de capa física)

PLCP consiste en subtramas normalmente representadas en la documentación técnica como una cuadrícula de filas y columnas de celdas de dos dimensiones y bytes de sobrecarga. Cada fila consta de 53 bytes de celda ATM y cuatro bytes de sobrecarga y administración de entramado, como se ilustra en este diagrama:

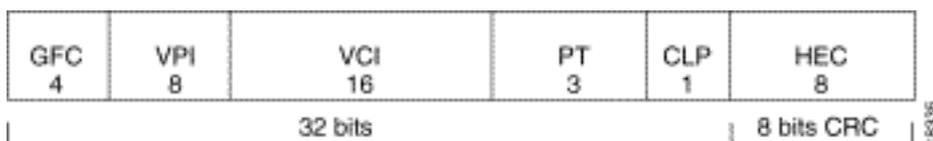


En este diagrama, POI representa el indicador de tara de trayectoria y POH representa la sobrecarga de trayectoria. A1 y A2 proporcionan la alineación de tramas y deben seguir un patrón diferente de unos y ceros.

## ADM

Originalmente, PLCP se diseñó para transmitir información de temporización desde la capa física a una capa superior especial y admitir servicios isócronos. Dado que ATM no utiliza estos servicios, PLCP introduce sobrecarga adicional y ADM reemplaza a PLCP.

ADM mapea las celdas ATM directamente en las tramas DS-3 o E3. El campo de verificación de errores de encabezado (HEC) en el encabezado ATM de cinco bytes se utiliza para identificar el inicio de la celda inicial en una trama. Un dispositivo receptor examina la secuencia de bits entrante y verifica si un conjunto de ocho bits contiene una verificación por redundancia cíclica (CRC) válida para los 32 bits anteriores.



Para entender por qué utilizaría ADM en lugar de PLCP, observe las diferencias entre los dos protocolos:

- Tasa de carga útil:ADM = (672 bits por subtrama M) x (7 subtramas M) / (106,4 microsegundos) = 44,21 MbpsPLCP = (8000 fotogramas por segundo) x (12 celdas por trama) = 96 000 células por segundo = 40,70 Mbps
- Delineación de celdasPLCP - Las celdas ATM están en ubicaciones predeterminadas dentro de cada fila PLCP. No se necesita un método adicional para delinear las celdas ATM.ADM – El campo de control de error de encabezado (HEC) del encabezado de célula ATM es utilizado para delinear las células ATM.**Nota:** La delineación de celdas define cómo un dispositivo receptor reconoce el inicio y el fin de una celda ATM.

## Opciones de alineación de tramas en interfaces de Cisco

Puede configurar las interfaces del router ATM de Cisco y del switch Catalyst con estos formatos de entramado según el hardware específico. Es importante tener en cuenta que el hardware específico usa valores predeterminados diferentes. Por ejemplo, el valor predeterminado (y la única opción) en el CS-AIP-DS3 es cbitplcp, mientras que el PA-A3-T3 y el PA-A6-T3 utilizan un valor predeterminado de cbitadm. Asegúrese de controlar el formato de marcos cuando intercambie el hardware. Los parámetros predeterminados no se muestran en la configuración que se está ejecutando.

Para configurar un valor no predeterminado, utilice el comando atm framing. Una interfaz debe estar cerrada/no cerrada para que un cambio surta efecto.

Producto (DS-3)	m23plcp	cbitplcp	m23adm	cbitadm
PA-A6-T3	Yes	Yes	Yes	Yes
PA-A2-4T1C-T3ATM	Yes	Yes	Yes	Yes
PA-A3-T3	Yes	Yes	Yes	Yes
CX-AIP-DS3	No	Yes	No	No
NP-1A-DS3 (4500/4700)	Yes	Yes	Yes	Sí*
NM-1A-T3 (2600/3600)	Yes	Yes	Yes	Yes
Lightstream 1010 o Catalyst 85x0 PAM	Yes	Yes	Yes	Yes
Módulo Catalyst 5000 ATM	Yes	Yes	Yes	Yes

\* cbitadm requiere el software Cisco IOS® versión 12.1(1)T o posterior.

Producto (E3)	g832adm	g751adm	g751plcp
PA-A6-E3	Yes	Yes	Yes
PA-A2-4T1C-E3ATM	Yes	Yes	Yes
PA-A3-E3	Yes	Yes	Yes
CX-AIP-E3	Yes	No	Yes
NP-1A-E3 (4500/4700)	Yes	Yes	Yes
NM-1A-E3 (2600/3600)	Yes	Yes	Yes
Lightstream 1010 o Catalyst 85x0 PAM	Yes	Yes	Yes

## Confirme su configuración

Use los comandos show atm interface atm y show controllers atm para ver el formato de trama actualmente activa.

```
AIP#show atm interface atm 1/0
ATM interface ATM1/0:
AAL enabled: AAL5 , Maximum VCs: 2048, Current VCCs: 2
Tx buffers 256, Rx buffers 256, Exception Queue: 32, Raw Queue: 32
VP Filter: 0x7B, VCIs per VPI: 1024, Max. Datagram Size:4496
PLIM Type:E3 - 34Mbps, Framing is G.751 PLCP, TX clocking: LINE
31866 input, 27590 output, 0 IN fast, 0 OUT fast
Rate-Queue 0 set to 34000Kbps, reg=0x4C0 DYNAMIC, 2 VCCs
Config. is ACTIVE
```

```
PA-A3#show controllers atm 1/0/0
ATM1/0/0: Port adaptor specific information
Hardware is DS3 (45Mbps) port adaptor
Framer is PMC PM7345 S/UNI-PDH, SAR is LSI ATMIZER II
Framing mode: DS3 C-bit ADM
No alarm detected
Facility statistics: current interval elapsed 796 seconds
lcv      fbe      ezd      pe      ppe      febe     hcse
-----
lcv: Line Code Violation
be: Framing Bit Error
ezd: Summed Excessive Zeros
PE: Parity Error
ppe: Path Parity Error
febe: Far-end Block Error
hcse: Rx Cell HCS Error
```

En interfaces que no sean el procesador de interfaz ATM (AIP), el comando **show controllers atm** también muestra alarmas activas y contadores de errores distintos de cero, referidos a la salida como estadísticas de la instalación. Los valores distintos de cero indican que existe un problema con el cable físico entre esta interfaz de router y otro dispositivo de la red, en general, un switch en la nube del proveedor de la red ATM

## Resolución de problemas de discordancia de tipo de trama

Si el tipo de entramado en dos extremos de un link ATM no coincide, la interfaz ATM estará inactiva. El comando **show controller atm** informa los defectos de la función Framer Out of Frame (FRMR OOF) y la función ATM Direct Mapping Out of Cell Delineation (ADM OOCd), como se muestra en esta salida.

```
router#show controller atm 3/0
Interface ATM3/0 is down
Hardware is RS8234 ATM DS3
[output omitted]
Framer Chip Type PM7345
Framer Chip ID 0x20
Framer State RUNNING
Defect FRMR OOF
Defect ADM OOCd
Loopback Mode NONE
Clock Source INTERNAL
DS3 Scrambling ON
Framing DS3 C-bit direct mapping
```

Resuelva los errores OOF y OOCd a través de la confirmación de la configuración de la trama en cada extremo. Use el comando **atm framing** para configurar y experimentar con otros tipos de entramado.

[Solicitud de comentarios – RFC 1407 define las alarmas y los errores DS-3 y E3. Consulte Resolución de Problemas y Errores de Línea en Interfaces DS-3 y E3 ATM](#) para obtener instrucciones.